

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **HIRASE, KATSUNORI**

Serial No.: **10/084,369**

Filed: **February 28, 2002**

FOR: **MOTION IMAGE DECODING APPARATUS AND METHOD REDUCING ERROR ACCUMULATION AND HENCE IMAGE DEGRADATION**



Group Art Unit No. **2858**

P.T.O. Confirmation No.: **6286**

RECEIVED
TC 2800 MAIL ROOM
SEP - 6 2002

RECEIVED
MAY 9 2002
TECHNOLOGY CENTER 2800

Date: May 9 2002

#3

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-054495, filed February 28, 2001

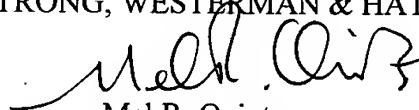
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully Submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos
Attorney for Applicant
Reg. No. 31,898

RECEIVED
SEP 11 2002
Technology Center 2600

MRQ/l1

Atty. Docet No. **020199**
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月 28日

出願番号

Application Number:

特願2001-054495

[ST.10/C]:

[JP2001-054495]

出願人

Applicant(s):

三洋電機株式会社

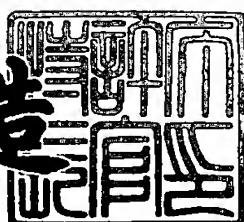
RECEIVED
TECHNOLOGY CENTER 2800
MAY 10 2002

RECEIVED
SEP 11 2002
Technology Center 2600

2002年 3月 12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3015893

【書類名】 特許願
【整理番号】 NEB1003086
【提出日】 平成13年 2月28日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 7/30
H04N 11/04
G06F 17/14

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

【氏名】 平瀬 勝典

【特許出願人】

【識別番号】 000001889

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【フルーフの要否】 要

【書類名】 明細書

【発明の名称】 動画像復号装置および動画像復号方法

【特許請求の範囲】

【請求項1】 動画像を圧縮するにあたり時間軸方向に予測符号化を行なった圧縮符号化画像データを復号するための動画像復号装置であって、

前記圧縮符号化画像データを受けて、再生画像データを生成するための画像再生手段と、

前記画像再生手段の出力を受けて、所定のデータ変換ブロックごとに直交変換を行ないデータ圧縮を行なうための直交圧縮変換手段と、

前記直交圧縮変換の出力を受けて、前記予測符号化に対する参照画像データを格納するための記憶手段とを備え、

前記直交圧縮変換手段は、前記所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替える、動画像復号装置。

【請求項2】 前記直交圧縮変換手段は、前記所定のデータ変換ブロックごとに直交変換後の整数化のためのしきい値のレベルを切り替える、請求項1記載の動画像復号装置。

【請求項3】 前記直交圧縮変換手段は、前記直交変換としてアダマール変換を行なう、請求項1または2記載の動画像復号装置。

【請求項4】 前記圧縮画像データは、輝度信号と色差信号とを含み、

前記直交圧縮変換手段は、前記輝度信号については、前記所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替え、前記色差信号については、D C成分は前記所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替え、A C成分は全ての前記所定のデータ変換ブロックについて切り捨て処理を行なう、請求項1記載の動画像復号装置。

【請求項5】 前記直交圧縮変換手段は、前記直交変換としてアダマール変換を行なう、請求項4記載の動画像復号装置。

【請求項6】 動画像を圧縮するにあたり時間軸方向に予測符号化を行なった圧縮画像データを信号に対して、再生処理を行なって得た画像データに基づいて、または得られた上記画像データと参照画像データとに基づいて第1の再生画

像データを生成する第1ステップと、

前記第1の再生画像データの所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替えて直交変換符号化を行ない、前記第1の再生画像データに対してピット方向にデータ量が削減された第2の再生画像データを生成する第2ステップと、

前記第2の再生画像データのうち参照画像データを生成するために必要な第2の再生画像データを参照画像用メモリに記憶させる第3ステップと、

前記参照画像用メモリに格納された前記第2の再生画像データに基づいて前記第1の再生画像データに対応した参照画像データを生成する第4ステップとを備える、動画像復号方法。

【請求項7】 前記第2のステップにおいては、前記所定のデータ変換ブロックごとに直交変換後の整数化のためのしきい値のレベルを切り替える、請求項6記載の動画像復号方法。

【請求項8】 前記第2のステップにおいては、前記直交変換としてアダマール変換を行なう、請求項6または7記載の動画像復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、MPEG (Moving Picture Expert Group) 等の方式で圧縮符号化された信号を復号化する動画像復号方法および動画像復号装置の構成に関する

【0002】

【従来の技術】

デジタルTVなどの分野において画像データを圧縮符号化するための画像符号化方式としてMPEG方式が知られている。

【0003】

このMPEG方式のうち代表的なものとしては、MPEG1と、MPEG2がある。MPEG1では、順次走査（ノンインターレース走査）の画像だけが対象であるが、MPEG2では、順次走査の画像だけでなく、飛び越し走査（インターレース走査）の画像が対象となる。

—レース走査)の画像が対象となる。

【0004】

このようなMPEGの符号化には、動き補償予測(時間的圧縮)、DCT(Discrete Cosine Transform)(空間的圧縮)およびエントロピー符号化(可変長符号化)が採用されている。MPEGの符号化では、まず、マクロブロック単位毎に、時間軸方向の予測符号化(MPEG1ではフレーム予測符号化、MPEG2ではフレーム予測符号化またはフィールド予測符号化)が行われる。

【0005】

マクロブロックは、たとえば、16(水平方向画像数)×16(垂直方向画素数)の大きさのY信号(輝度信号)と、8(水平方向画像数)×8(垂直方向画素数)の大きさのCb信号(色差信号)と、8(水平方向画像数)×8(垂直方向画素数)の大きさのCr信号(色差信号)とからなる。

【0006】

以下では、説明の便宜上、Y信号についてのみ説明する。予測符号化方式に対応して、Iピクチャ、Pピクチャ、Bピクチャの3種類の画像タイプが存在する。以下では、フレーム内予測符号化を例にとって説明する。

【0007】

(1) Iピクチャ:フレーム内の情報のみから符号化された画面で、フレーム間予測を行わずに生成される画面である。Iピクチャ内の全てのマクロブロック・タイプは、フレーム内情報のみで符号化するフレーム内予測符号化である。

【0008】

(2) Pピクチャ: IまたはPピクチャからの予測を行うことによって生成される画面であり、一般的に、Pピクチャ内のマクロブロック・タイプは、フレーム内情報のみで符号化するフレーム内符号化と、過去の再生画像から予測する順方向フレーム間予測符号化との両方を含んでいる。

【0009】

(3) Bピクチャ: 双方向予測によってできる画面で、一般的に、以下のマクロブロック・タイプを含んでいる。

【0010】

- a) フレーム内情報のみで符号化するフレーム内予測符号化
- b) 過去の再生画像から予測する順方向フレーム間予測符号化
- c) 未来から予測する逆方向フレーム間予測符号化
- d) 前後両方の予測による内挿的フレーム間予測符号化

ここで、内挿的フレーム間予測とは、順方向予測と逆方向予測の2つの予測を対応画素間で平均することをいう。

【0011】

したがって、このような全てのマクロブロック・タイプに対応して復号処理を行うためのMPEG復号器では、一般的には、IピクチャまたはPピクチャを格納しておくための参照画像用のメモリとしては、2画面分のメモリが必要になってしまう。

【0012】

そこで、たとえば、特開2000-4440号公報には、MPEG等で圧縮された動画像を復号する際に、データをフレームメモリに圧縮して格納することで、メモリ容量の低減化が図れる動画像復号化方法および動画像復号化装置が示されている。

【0013】

すなわち、特開2000-4440号公報に開示された動画像復号化方法は、MPEG方式によって圧縮符号化された信号を、逆DCTを行なって得た画像データに基づいて、または得られた上記画像データと参照画像データとに基づいて第1の再生画像データを生成する第1ステップ、第1の再生画像データに対してアダマール変換符号化を行なって第1の再生画像データに対してビット方向にデータ量が削減された第2の再生画像データを生成する第2ステップ、第2ステップによって得られた第2の再生画像データのうち参照画像データを生成するためには必要な第2の再生画像データを参照画像用メモリに記憶させる第3ステップ、ならびに参照画像用メモリに格納された第2の再生画像データに基づいて第1の再生画像データに対応した参照画像データを生成する第4ステップを備えることによって実現することができる。

【0014】

【発明が解決しようとする課題】

しかし、特開2000-4440号公報に開示された動画像復号化方法では、直交変換の後整数化を行なう場合に、すべて同じ方向で整数化を行なっているので、上記の方法では、画面全体として切り上げになる確率が高くなり、誤差蓄積により劣化が目立つ場合があるという問題点があった。

【0015】

本発明は、上記のような問題点を解決するためになされたものであって、その目的は、誤差蓄積を低減して目立つ劣化を抑えた動画像復号方法および装置を提供することである。

【0016】

【課題を解決するための手段】

請求項1記載の動画像復号装置は、動画像を圧縮するにあたり時間軸方向に予測符号化を行なった圧縮符号化画像データを復号するための動画像復号装置であって、圧縮符号化画像データを受けて、再生画像データを生成するための画像再生手段と、画像再生手段の出力を受けて、所定のデータ変換ブロックごとに直交変換を行ないデータ圧縮を行なうための直交圧縮変換手段と、直交圧縮変換の出力を受けて、予測符号化に対する参照画像データを格納するための記憶手段とを備え、直交圧縮変換手段は、所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替える。

【0017】

請求項2記載の動画像復号装置は、請求項1記載の動画像復号装置の構成に加えて、直交圧縮変換手段は、所定のデータ変換ブロックごとに直交変換後の整数化のためのしきい値のレベルを切り替える、請求項1記載の動画像復号装置。

【0018】

請求項3記載の動画像復号装置は、請求項1または2記載の動画像復号装置の構成に加えて、直交圧縮変換手段は、直交変換としてアダマール変換を行なう。

【0019】

請求項4記載の動画像復号装置は、請求項1記載の動画像復号装置の構成に加えて、圧縮画像データは、輝度信号と色差信号とを含み、直交圧縮変換手段は、

輝度信号については、所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替え、色差信号については、DC成分は所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替え、AC成分は全ての所定のデータ変換ブロックについて切り捨て処理を行なう。

【0020】

請求項5記載の動画像復号装置は、請求項4記載の動画像復号装置の構成に加えて、直交圧縮変換手段は、直交変換としてアダマール変換を行なう。

【0021】

請求項6記載の動画像復号方法は、動画像を圧縮するにあたり時間軸方向に予測符号化を行なった圧縮画像データを信号に対して、再生処理を行なって得た画像データに基づいて、または得られた上記画像データと参照画像データとに基づいて第1の再生画像データを生成する第1ステップと、第1の再生画像データの所定のデータ変換ブロックごとに直交変換後の整数化方式を切り替えて直交変換符号化を行ない、第1の再生画像データに対してビット方向にデータ量が削減された第2の再生画像データを生成する第2ステップと、第2の再生画像データのうち参照画像データを生成するために必要な第2の再生画像データを参照画像用メモリに記憶させる第3ステップと、参照画像用メモリに格納された第2の再生画像データに基づいて第1の再生画像データに対応した参照画像データを生成する第4ステップとを備える。

【0022】

請求項7記載の動画像復号方法は、請求項6記載の動画像復号方法の構成に加えて、第2のステップにおいては、所定のデータ変換ブロックごとに直交変換後の整数化のためのしきい値のレベルを切り替える。

【0023】

請求項8記載の動画像復号方法は、請求項6または7記載の動画像復号方法の構成に加えて、第2のステップにおいては、直交変換としてアダマール変換を行なう。

【0024】

【発明の実施の形態】

[MPEG復号器1000の構成]

図1は、MPEG復号器1000の構成を示す概略ブロック図である。

【0025】

図1を参照して、変換係数の可変長符号は、可変長符号化器21に送られる。

ブロック・タイプを含む制御信号はCPU40に送られる。動きベクトルの可変長符号は、可変長復号化器30に送られて復号化される。可変長復号化器30によって得られた動きベクトルは、ベクトル値変換回路31に送られ、動きベクトルの水平方向の大きさが1/2になるように変換される。ベクトル値変換回路31によって水平方向の大きさが1/2になるように変換された動きベクトルは、第1参照画像メモリ27および第2参照画像メモリ28に、参照画像の切り出し位置を制御するための制御信号として送られる。可変長符号化器21は、変換係数の可変長符号を復号化する。逆量子化器22は、可変長符号化器21から得た変換係数（量子化されたDCT係数）を逆量子化してDCT係数に変換する。水平高域係数除去回路（係数削減回路）23は、逆量子化器22で生成されたDCT係数を8（水平方向画素数）×8（垂直方向画素数）のサブブロック単位に対応する8×8のDCT係数に戻すとともに、各サブブロックの水平周波数の高域成分のDCT係数を除去して、4（水平周波数方向）×8（垂直周波数方向）の数のDCT係数に変換する。

【0026】

逆DCT回路24は、水平高域係数除去回路23で生成された4×8の数のDCT係数に、4×8の逆DCTを施して、もとのサブブロック単位のデータが水平方向に1/2に圧縮された4（水平方向画素数）×8（垂直方向画素数）のデータ数からなるデータを生成する。

【0027】

また、このようにして得られた1つのマクロブロックを構成する4つのサブブロック単位に対応する画像データに基づいて、水平方向が1/2に圧縮された8×16の1つのマクロブロック単位の再生画像データまたは予測誤差データを生成する。

【0028】

したがって、逆DCT回路24によって得られるマクロブロック単位のデータ量は、原画像のマクロブロック単位の画像データ量の半分となる。

【0029】

逆DCT回路24によって生成された水平方向が1/2に圧縮された 8×16 のマクロブロック単位の予測誤差データには、そのマクロブロック・タイプに応じた参照画像データ（水平方向が1/2に圧縮された 8×16 のマクロブロック単位の参照画像データ）が、加算器25によって加算され、再生画像データが生成される。参照画像データは、スイッチ33を介して加算器25に送られる。ただし、逆DCT回路24から出力された画像データがフレーム内予測符号化に対する再生画像データである場合には、参照画像データは加算されない。

【0030】

逆DCT回路24および加算器25によって得られた水平方向が1/2に圧縮された 8×16 のマクロブロック単位の第1の再生画像データは、アダマール変換符号化回路41に送られる。

【0031】

アダマール変換符号化回路41は、4次アダマール変換処理および量子化処理を行なう。アダマール変換符号化回路41は、 8×16 のマクロブロック単位の再生画像データをブロック分割する。

【0032】

図2は、このようなブロック分割処理を説明するための概念図である。

入力画像信号がインターレス画像の場合には、図2(d)に示すように、奇数ライン同士の隣り合う2つのラインと水平方向に隣り合う2画素からなる 2×2 のブロックおよび偶数ライン同士の隣り合う2つのラインと水平方向に隣り合う2画素からなる 2×2 のブロックに、第1の再生画像データが分割される。

【0033】

入力画像信号がプログレッシブ画像の場合には、図2(c)に示すように、垂直方向の隣り合う2つのラインと水平方向に隣り合う2画素からなる 2×2 のブロックに、第1の再生画像データが分割される。

【0034】

入力画像信号の種類に応じたブロックの分割の切換は、CPU40からの制御信号に基づいて行なわれる。

【0035】

なお、入力された画像がプログレッシブ画像の場合には、図2(a)に示すように、垂直方向の隣り合う4つの画素からなる 4×1 ブロックに第1の再生画像データを分割し、入力される画像がインターレス画像の場合には、図2(d)に示すような 2×2 のブロックに第1の再生画像データを分割してもよい。

【0036】

また、入力される画像がインターレス画像の場合には、図2(b)に示すように、奇数ライン同士のライン間においては垂直方向の隣り合う4つの画素からなる 4×1 のブロックおよび偶数ライン同士のライン間において垂直方向の隣り合う4つの画素からなる 4×1 のブロックに、第1の再生画像データを分割してもよい。

【0037】

各ブロック内の各画素の画素値(8ビット)を図2(c)または図2(d)に示すように、a、b、c、dとすると、各ブロックごとに次の式(1)～(4)で表わされるようなアダマール変換が行なわれる。

【0038】

【数1】

$$K0 = (a+b+c+d)/4 \quad \cdots (1)$$

$$K1 = (a-b+c-d)/4 \quad \cdots (2)$$

$$K2 = (a+b-c-d)/4 \quad \cdots (3)$$

$$K3 = (a-b-c+d)/4 \quad \cdots (4)$$

【0039】

本来のアダマール変換では係数は、 $1/(4 \times \sqrt{2})$ であるが、ここでは処理を簡単にするために係数を $1/4$ としている。

【0040】

次に、アダマール変換符号化回路41において、量子化が行なわれる。ここでは、ビット方向に $1/2$ に圧縮するために、1ブロック内の4画素の画素値の合

計に対して、16ビットが割当てられる。

【0041】

各係数K0、K1、K2、K3に対するビット割当て方法として、たとえばK0には8ビットが、K1およびK2には4ビットが、K3には0ビットが割当てられる。したがって、K0は上記式(1)によって算出された値がそのまま採用される。またK3は上記式(4)にかかわらず無視される。

【0042】

K1またはK2については、上記式(2)～(3)で求められた8ビットの値(-128～+127)が、量子化・逆量子化テーブルに基づいて、4ビットの値(-8～+7)に変換される。

【0043】

K0、K1、K2に対する量子化値を、K0'、K1'、K2'で表わすことにする。

【0044】

上記4次アダマール変換処理および量子化処理によって、8×16のマクロブロック単位の第2の再生画像データが得られる。

【0045】

第2の再生画像データのデータ量は、第1の再生画像のデータ量の1/2となる。

【0046】

したがって、アダマール変換符号化回路41によって得られるマクロブロック単位の第2の再生画像データのデータ量は、原画像のマクロブロック単位の画像データ量の1/4となる。

【0047】

アダマール変換符号化回路41によって得られたマクロブロック単位の第2の再生画像データが、Bピクチャに対する再生画像データである場合には、その再生画像データはスイッチ34に送られる。

【0048】

アダマール変換符号化回路41によって得られたマクロブロック単位の第2の

再生画像データが、IピクチャまたはPピクチャに対する再生画像データである場合には、その再生画像データはスイッチ32を介して第1参照画像用メモリ27または第2参照画像用メモリ28に格納される。第1参照画像用メモリ27または第2画像参照用メモリ28に格納される画像データ量は従来の1/4となる。スイッチ32はCPU40によって制御される。

【0049】

第1アダマール変換復号化回路42は、第2参照画像用メモリ27から読出された8×16のマクロブロック単位の第2の再生画像データに対して、逆量子化処理およびアダマール逆変換処理を行なって、第1の再生画像に対する参照画像データを生成する。

【0050】

つまり、まず、第1参照画像用メモリ27から読出された第2の再生画像データを構成する各量子化値K0'、K1'、K2'が、逆量子化値K0"、K1"、K2"に変換される。具体的には、K0'に対する逆量子化値K0"はK0'と等しい。

【0051】

K1'およびK2'に対する逆量子化値K1"およびK2"は、量子化・逆量子化テーブルに基づいて求められる。

【0052】

このようにして得られた逆量子化値K0"、K1"、K2"が得られると、次の式(5)～(8)に基づいて、アダマール逆変換処理が行なわれる。ただし、この例では、K3"は0として取り扱われている。

【0053】

【数2】

$$Y0 = K0" + K1" + K2" + K3" \quad \dots (5)$$

$$Y1 = K0" - K1" + K2" - K3" \quad \dots (6)$$

$$Y2 = K0" + K1" - K2" - K3" \quad \dots (7)$$

$$Y3 = K0" - K1" - K2" + K3" \quad \dots (8)$$

ただし、K0"、K1"、K2"、K3"は、K0、K1、K2、K3の量子化・逆量子化されたもの

【0054】

これにより、第1参照画像用メモリ27から読出されたマクロブロック単位の第2の再生画像データが、第1の再生画像データに対応した参照画像データに変換される。

【0055】

第2アダマール変換復号化回路43は、第2参照画像用メモリ28から読出された 8×16 のマクロブロック単位の再生画像データに対して、上述したのと同様な逆量子化処理およびアダマール逆変換処理を行なって、第1の再生画像データに対応した参照画像データを生成する。

【0056】

平均化部29は、第1アダマール変換復号化回路42および第2アダマール変換復号化回路43から読出された画像データを平均して、内挿的フレーム間予測符号化に用いられる 8×16 のマクロブロック単位の参照画像データを生成する。

【0057】

スイッチ33は、CPU40によって次のように制御される。

逆DCT回路24から出力されたデータがフレーム内予測符号化に対する再生画像データである場合には、スイッチ33の共通端子が接地端子に切換えられる。

【0058】

逆DCT回路24から出力されたデータが順方向フレーム間予測符号に対する予測誤差データである場合または逆方向フレーム間予測符号に対する予測誤差データである場合には、スイッチ33の共通端子が第1アダマール変換復号化回路42から参照画像データが送られる端子または第2アダマール変換復号化回路43からの参照画像データが送られる端子のいずれか一方を選択するように切換えられる。

【0059】

なお、参照画像用メモリ27、28から参照画像が読出される場合には、ベクトル値変換回路31からの動きベクトルに基づいて、その切出し位置が制御され

る。ベクトル値変換回路31によって動きベクトルの水平方向の大きさが1/2に変換されているのは、アダマール変換符号化回路41から参照画像用メモリ27、28に送られるマクロブロック単位の画像データは水平方向に1/2に圧縮されたものとなっているためである。

【0060】

逆DCT回路24から出力されたデータが内挿的フレーム化予測符号に対する予測誤差データである場合には、スイッチ33の共通端子が平均化部29の出力が送られる端子を選択するように切換えられる。

【0061】

スイッチ34は、アダマール変換符号化回路41からスイッチ34に送られてきたBピクチャに対する第2の再生画像データ、参照画像用メモリ27に格納されたIピクチャまたはPピクチャに対する第2の再生画像データ、参照画像用メモリ28に格納されたIピクチャまたはPピクチャに対する第2の再生画像データが原画像の順序と同じ順番で出力されるようにCPU40によって制御される。

【0062】

スイッチ34から出力された第2の再生画像データは、第3アダマール変換復号化回路35によって、上述したのと同様な逆量子化処理およびアダマール逆変換処理が行なわれることにより、第1の再生画像データに対応した画像データに変換された後、フォーマット変換回路36に送られる。

【0063】

フォーマット変換回路36は、第3アダマール変換復号化回路35から送られてきた画像データをモニタ装置の水平および垂直走査線数に対応するようにフォーマット変換する。フォーマット変換後の画像データは、モニタ装置に送られる。

【0064】

上述のようにして、第1参照画像用メモリ27および第2参照画像用メモリ28として、従来のそれらの容量の1/4のものを用いることができる。

【0065】

[アダマール変換符号化回路41の動作]

(単純な整数化処理の問題点)

図3は、図1に示したアダマール変換符号化回路41が、式(1)～(4)に対応する処理を行った後に単純な整数化を行うとした場合の処理を示すフローチャートである。以下に説明するように、このような単純な整数化では、十分な画質を得ることができない。

【0066】

図3のフローチャートに示すように、アダマール変換処理が開始され(ステップS100)、アダマール変換処理が行われると(ステップS102)、アダマール変換のK0、K1、K2、K3の小数点以下がとり得る値としては、0.00, 0.25, 0.50, 0.75がある。

【0067】

そこで、続いて、整数化のために X_i ($i = 0, 1, 2, 3$)の正負を判断し(ステップS104)に応じて、以下に説明するような2通りの方法で整数化処理を行なう。

【0068】

まず、 $(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が0以上の場合、2を加算して、4で割って、小数部を切り捨てて整数化する(ステップS106)。

【0069】

一方、 $(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が負の場合、2を減算して、4で割って、小数部を切り捨てて整数化する(ステップS108)。

【0070】

続いて、整数化の丸めを行なうため、中間値では、0.25が切り捨て、0.50, 0.75が切り上げの整数化を行ない(ステップS110)、処理が終了する(ステップS110)。このステップS104～S110のような整数化を行うとすると、切り捨てられる中間値が0.25のみであるため、画像全体としては、数値の絶対値が大きくなる方向に偏って整数化が行われることになる。

【0071】

したがって、フリッカ、色変動などの目立つ劣化が存在する。

(本発明に係るアダマール変換符号化回路41の構成)

以上のような問題点に対応するために、アダマール変換符号化回路41は、以下に説明するような構成を有して、整数化動作を行なう。

【0072】

図4は、アダマール変換符号化回路41の構成を説明するための概略ブロック図である。

【0073】

図4を参照して、アダマール変換符号化回路41は、上記アダマール変換の式(1)～(4)の処理にそれぞれ対応する加算処理を行なうための加算回路410.1～410.3と、加算回路410.0～410.3からの出力をそれぞれ受けて、後に説明するような整数化処理および除算処理を行なうための除算・整数化回路412.0～412.3と、除算・整数化回路412.0～412.3の出力をそれぞれ受けて、アダマール変換後の上述したような量子化処理を行なうための量子化回路414.0～414.3を備える。

【0074】

加算回路410.1～410.3、除算・整数化回路412.0～412.3および量子化回路414.0～414.3は、CPU40からの制御信号により制御される。ここで、除算・整数化回路412.0～412.3からの出力は、上述した式(1)～(4)に対応した係数K0～K3であり、量子化回路414.0～414.3の出力は、上述した係数値K0'、K1'、K2'、K3'となる。

【0075】

図5は、図4に示した除算・整数化回路412.0の構成を説明するための概略ブロック図である。他の除算・整数化回路412.1～412.3の構成も基本的に同様である。

【0076】

図5を参照して、除算・整数化回路412.0は、加算回路410.0からの

入力信号を受けて正負判定を行なうための正負判定回路4120と、加算回路410.0からの入力信号を一方入力として受ける加算器4122と、制御信号に応じて、固定レベル-1および-2、固定レベル+1および+2のそれぞれにおいて、いずれかを選択的に出力するためのスイッチ回路4124と、スイッチ回路4124からの出力を受けて、固定レベル-1と-2のうちの選択された方と、固定レベル+1と+2のうちの選択された方とのうち、いずれか一方を選択して、加算器4122の他方入力に与えるスイッチ回路4126と、加算器4122の出力を受けて2ビットシフト動作することで4での除算処理を行なうためのシフト回路4128とを備える。

【0077】

図6は、本発明に係るアダマール変換符号化回路41の動作を説明するためのフローチャートである。

【0078】

図6を参照して、アダマール変換処理が開始されると（ステップS200）、まず、加算回路410.0～410.3において入力された画素値に対して対応する加算処理が行なわれる（ステップS202）。

【0079】

続いて、後に説明するように、入力された画素値が属するアダマールブロックがどの位置にあるかの判断が行なわれ（ステップS204）、アダマールブロックごとに、以下に説明するとおり、しきい値を変えて整数化の丸めを行なう。

【0080】

以下では、このようにして場合分けされる各アダマールブロックのタイプごとに処理の内容を説明すると以下のとおりである。

【0081】

（アダマールブロックがタイプ1のブロックである場合）

$(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が0以上の場合（ステップS206）、2を加算して、4で割って（ステップS210）、小数部を切り捨てて整数化する（ステップS218）。

【0082】

また、 $(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が負の場合（ステップS206）、2を減算して、4で割って（ステップS212）、小数部を切り捨てて整数化する（ステップS218）。

【0083】

中間値では、0.25は切り捨て方向、0.50, 0.75は切り上げ方向に丸められる。

【0084】

（アダマールブロックがタイプ2のブロックである場合）

$(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が0以上の場合（ステップS208）、1を加算して、4で割って（ステップS214）、小数部を切り捨てて整数化する（ステップS218）。

【0085】

また、 $(a + b + c + d)$ 、 $(a - b + c - d)$ 、 $(a + b - c - d)$ 、 $(a - b - c + d)$ が負の場合（ステップS208）、1を減算して、4で割って、小数部を切り捨てて整数化する（ステップS218）。

【0086】

中間値では、0.25、0.50が切り捨て方向、0.75が切り上げ方向に丸められる。

【0087】

図7～図10は、上述したようなタイプ1およびタイプ2のアダマールブロックの配置の例を説明するための概念図である。

【0088】

タイプ1とタイプ2の切換は、図7に示すように、縦の列ごとに行なうことが可能である。

【0089】

また、第8図に示すように碁の目格子状に切換えてもよい。

さらに、図9（a）、（b）に示すように、図7の切換方式をフレームごとに、図9（a）の場合と図9（b）の場合のように、交互に切換える方式を変てもよい。

【0090】

さらに、図10（a）、（b）に示すように、図8の切換方式をフレームごとに、図10（a）の場合と図10（b）の場合のように、交互に切換える方式を変えてよい。

【0091】

以上のような処理により、画面全体としての誤差蓄積が軽減でき、フリッカ、色変動などの目立つ劣化を抑制することができる。小数点以下の値が0.5の場合、ブロックごとに交互に、切り捨て、切り上げ方向に整数化の丸めをする。具体的には、以下に示すタイプ1とタイプ2の方法の丸めによる整数化をブロックごとに切換えることにより、タイプ1では数値の絶対値が大きくなる方向の整数化に偏り、タイプ2では数値の絶対値が小さくなる方向の整数化に偏り、画面全体としてどちら側にも偏らないようにすることができる。

【0092】

以上の説明では、輝度信号の場合について説明を行なった。色差信号についても、輝度信号と同様の処理を行なうことが可能である。あるいは、輝度信号の場合については、図6で説明した方法で整数化を行ない、色差信号については、DC成分は図6に示した方法によりアダマールブロックごとに切換えて丸め処理を行ない、AC成分については全てのアダマールブロックについて切り捨て処理を行なうとすることができる。

【0093】

なお、以上の説明においては、変換値の一意性が保持されることを利用するため、直交変換、特にアダマール変換を例にとって説明したが、本発明はこのような場合に限定されることなく、たとえば、図2で説明したようなブロックごとに直交変換を行なうことで、変換結果の値の偏りに基づいてデータ圧縮が可能な直交変換であれば、他の直交変換を用いることも可能である。

【0094】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更

が含まれることが意図される。

【0095】

【発明の効果】

以上説明したとおり、本発明によれば、画面全体として誤差蓄積を軽減することにより、フリッカ、色変動等の目立つ劣化を抑制することができる。

【図面の簡単な説明】

【図1】 MPEG復号器1000の構成を示す概略ブロック図である。

【図2】 ブロック分割処理を説明するための概念図である。

【図3】 アダマール変換処理を行った後に単純な整数化を行うとした場合の処理を示すフローチャートである。

【図4】 アダマール変換符号化回路41の構成を説明するための概略ブロック図である。

【図5】 図4に示した除算・整数化回路412.0の構成を説明するための概略ブロック図である。

【図6】 本発明に係るアダマール変換符号化回路41の動作を説明するためのフローチャートである。

【図7】 タイプ1およびタイプ2のアダマールブロックの配置の第1の例を説明するための概念図である。

【図8】 タイプ1およびタイプ2のアダマールブロックの配置の第2の例を説明するための概念図である。

【図9】 タイプ1およびタイプ2のアダマールブロックの配置の第3の例を説明するための概念図である。

【図10】 タイプ1およびタイプ2のアダマールブロックの配置の第4の例を説明するための概念図である。

【符号の説明】

21 可変長符号化器、22 逆量子化器、23 水平高域係数除去回路、24 逆DCT回路、25 加算器、27 第1参照画像用メモリ、28 第2参照画像用メモリ、29 平均化部、30 可変長復号化器、31 ベクトル値変換回路、32、32、34 スイッチ、35、42、43 アダマール変換復号

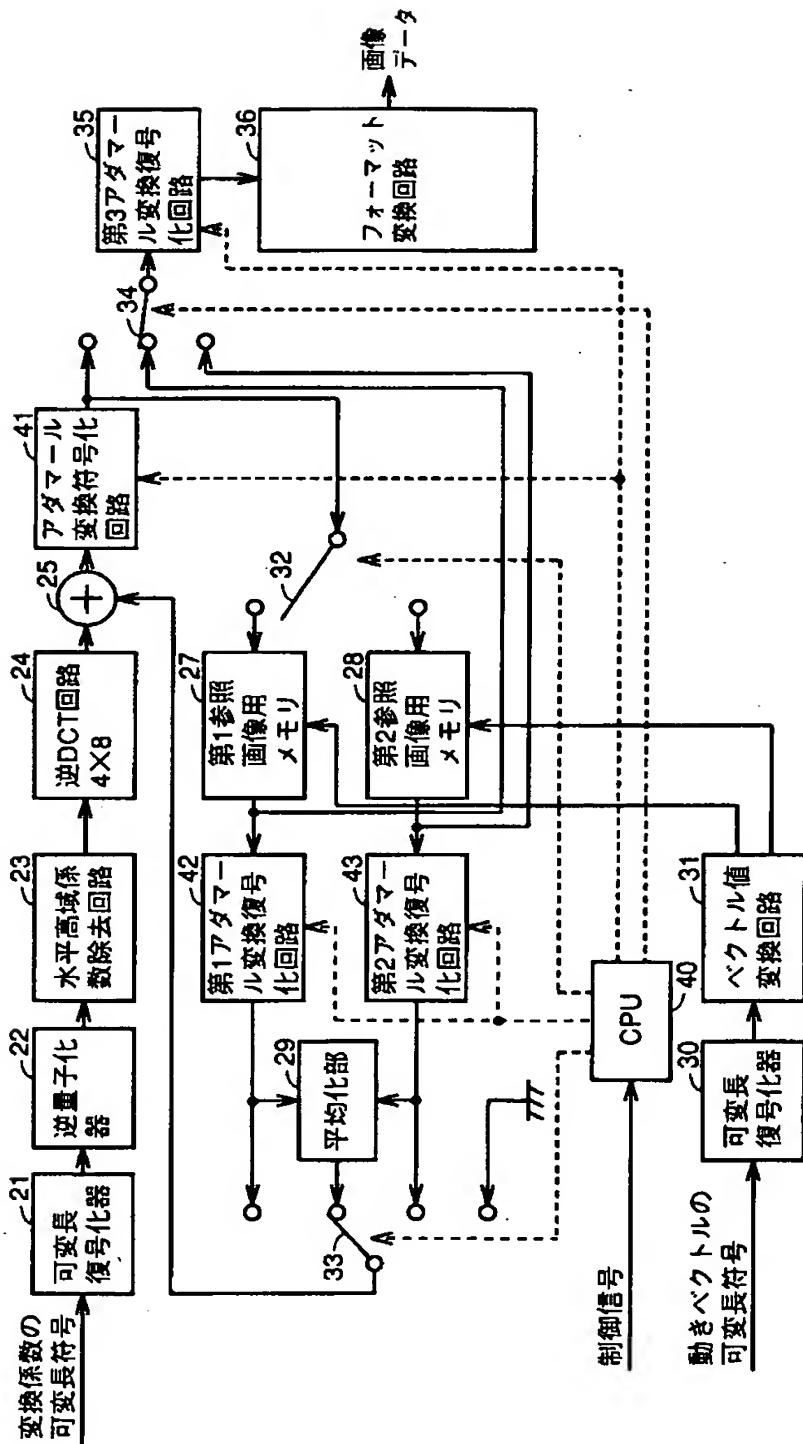
化回路、36 フォーマット変換回路、40 C P U、41 アダマール変換符号化回路。

【書類名】

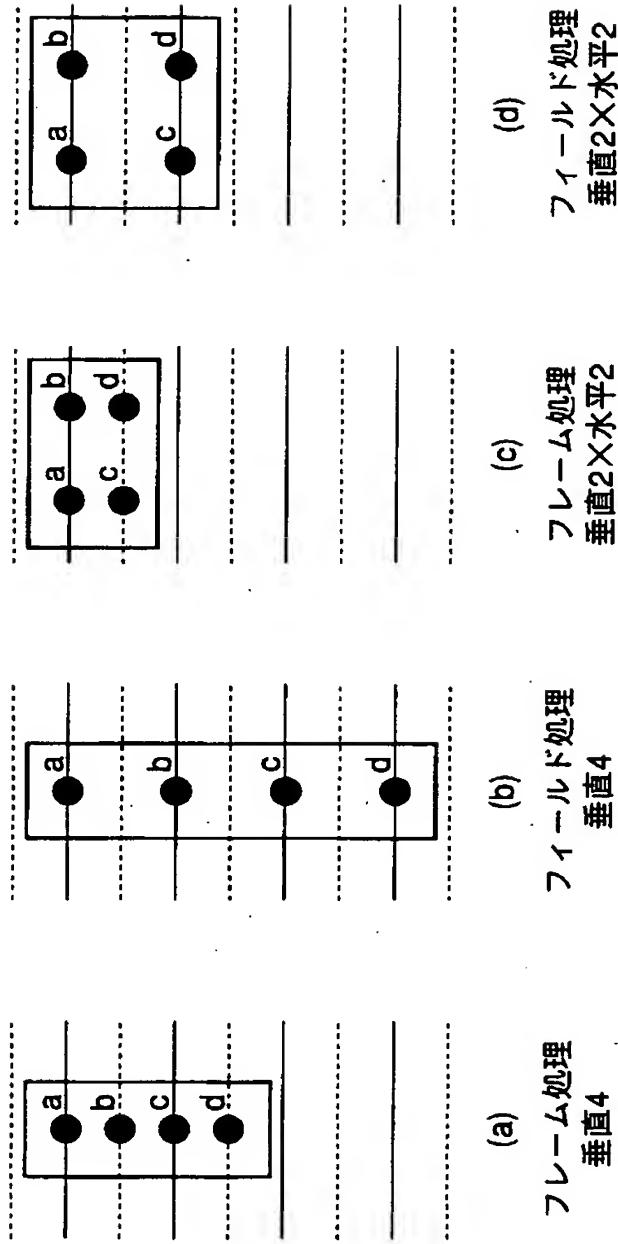
図面

【図1】

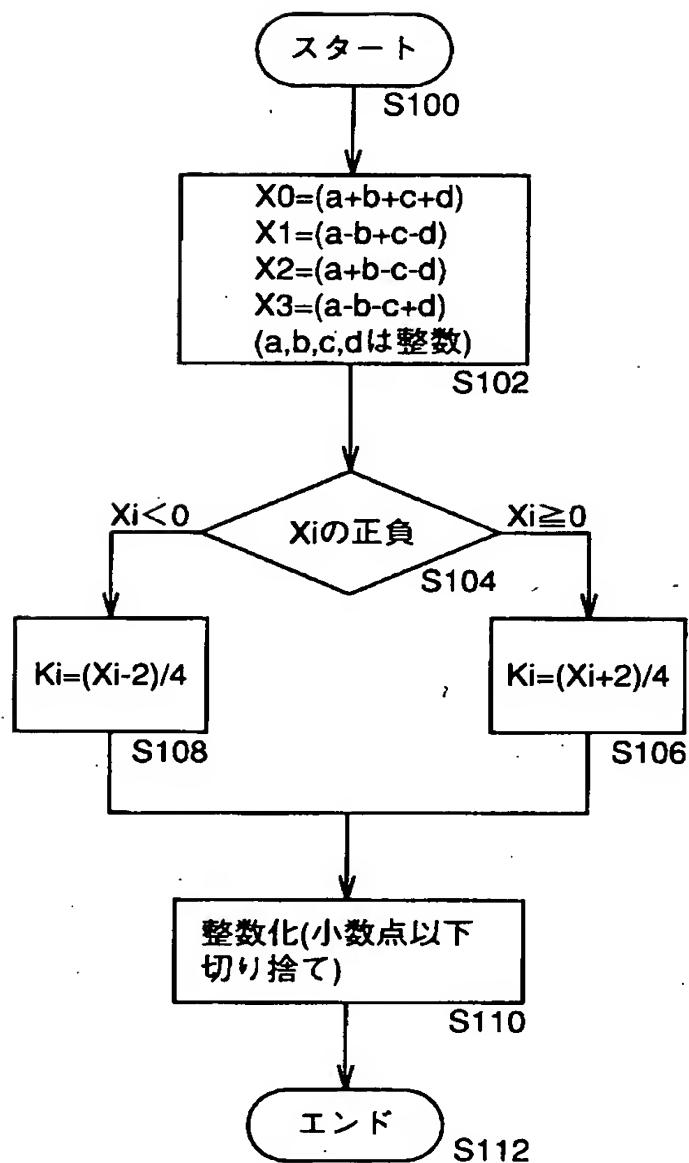
1000



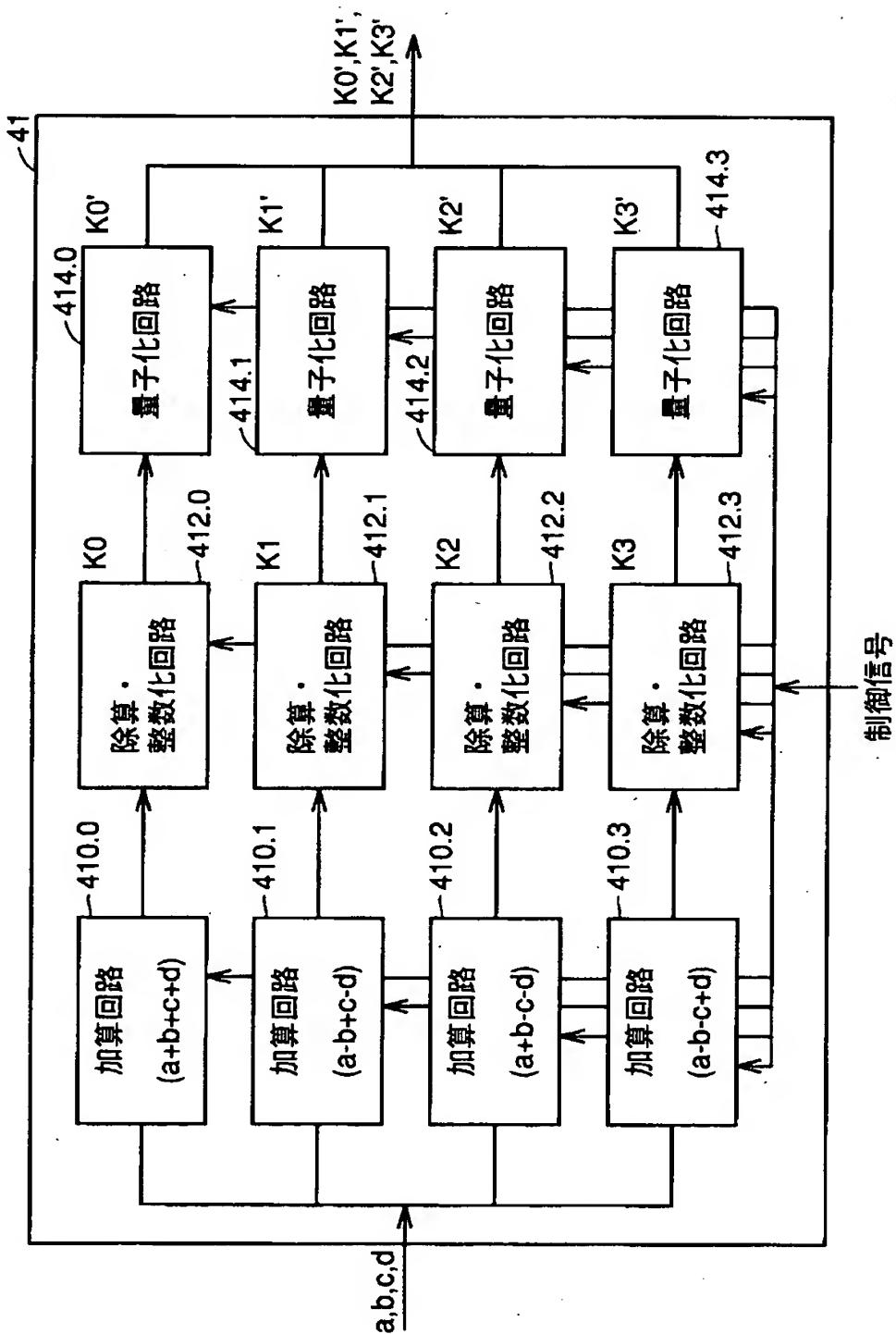
【図2】



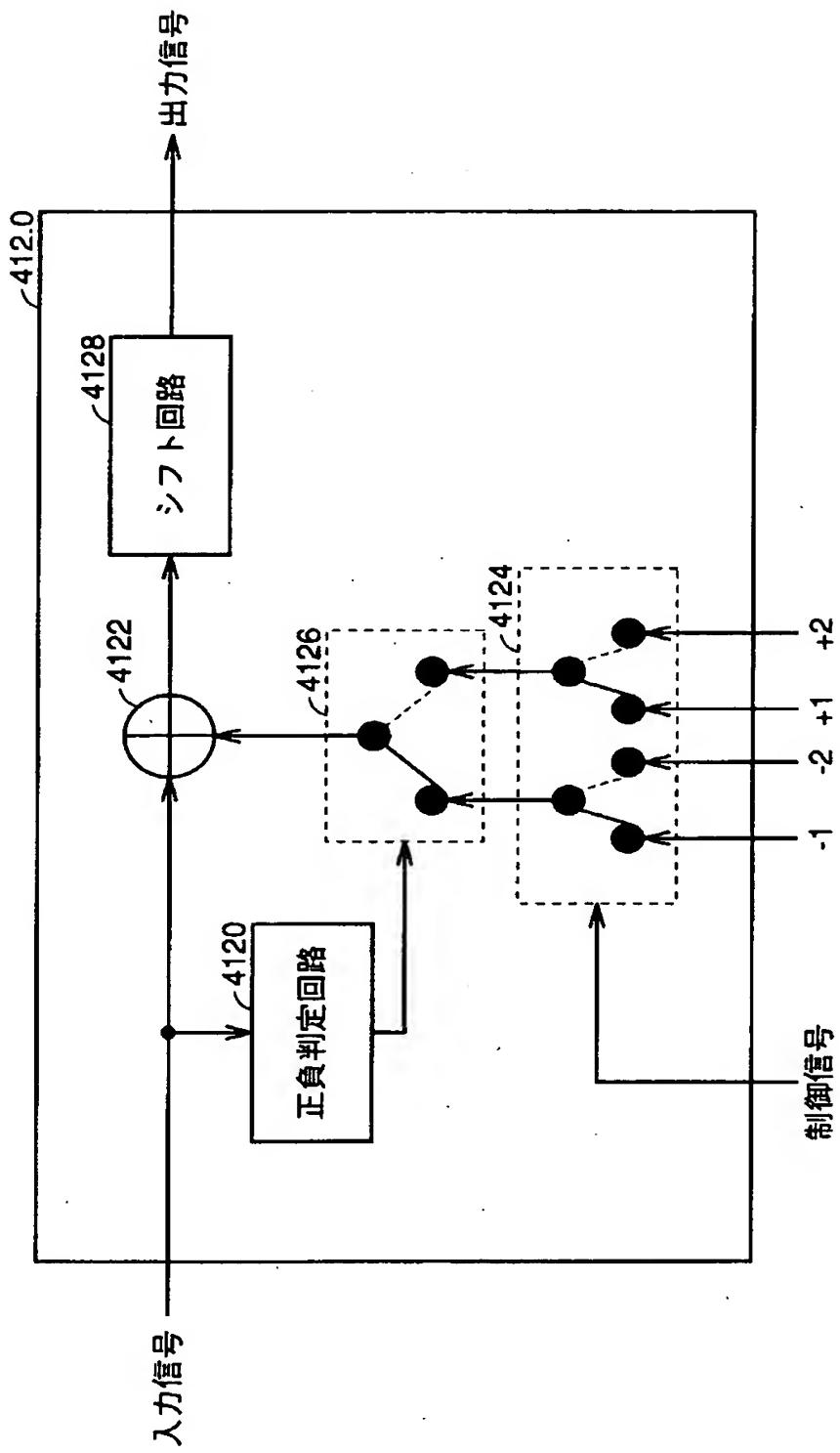
【図3】



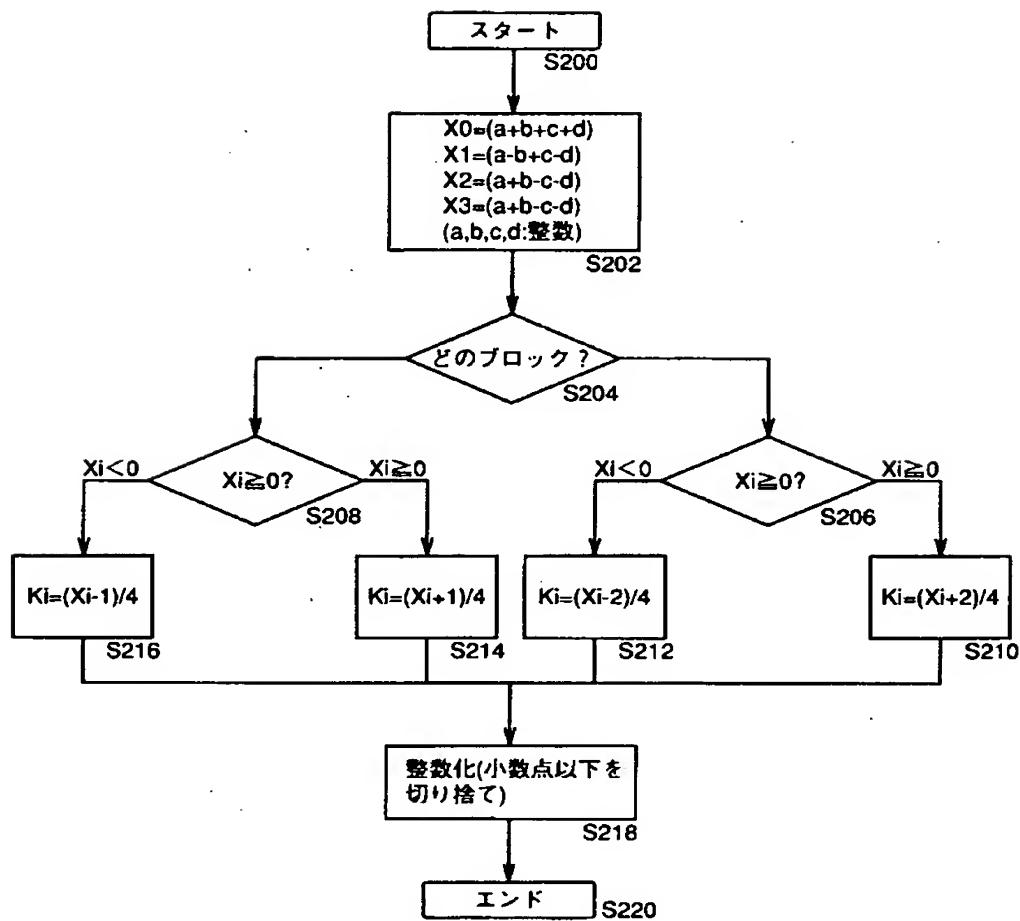
【図4】



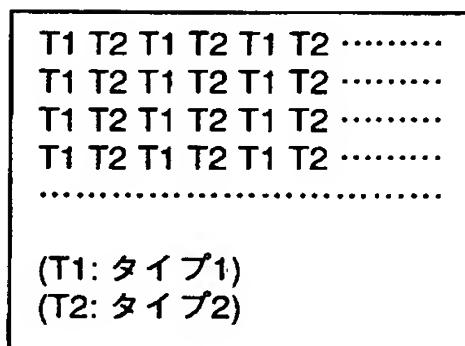
【図5】



【図6】



【図7】



【図8】

T1 T2 T1 T2 T1 T2
T2 T1 T2 T1 T2 T1
T1 T2 T1 T2 T1 T2
T2 T1 T2 T1 T2 T1
.....

(T1: タイプ1)
(T2: タイプ2)

【図9】

T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
.....

(T1: タイプ1)
(T2: タイプ2)

(a)

(b)

【図10】

T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
T2 T1 T2 T1 T2 T1	T1 T2 T1 T2 T1 T2
T1 T2 T1 T2 T1 T2	T2 T1 T2 T1 T2 T1
T2 T1 T2 T1 T2 T1	T1 T2 T1 T2 T1 T2
.....

(T1: タイプ1)
(T2: タイプ2)

(a)

(b)

【書類名】 要約書

【要約】

【課題】 誤差蓄積を低減し、フリッカ、色変動などの目立つ劣化を抑えた動画像復号装置を提供する。

【解決手段】 アダマール変換符号化回路41は、アダマール変換ブロックごとに整数化方法を変えて、画面全体として、整数化の際の誤差が一方向に偏らないようにデータ圧縮および整数化を行なう。すなわち、アダマール変換後の小数点以下は、0.0、0.25、0.5、0.75があるが、単純な四捨五入では、数値の絶対値が大きくなる方向に偏る確率が高くなるので、0.5になった場合の整数化の丸め処理をブロックごとに変更する。

【選択図】 図1

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社